



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07311561 A**(43) Date of publication of application: **28.11.95**

(51) Int. Cl.

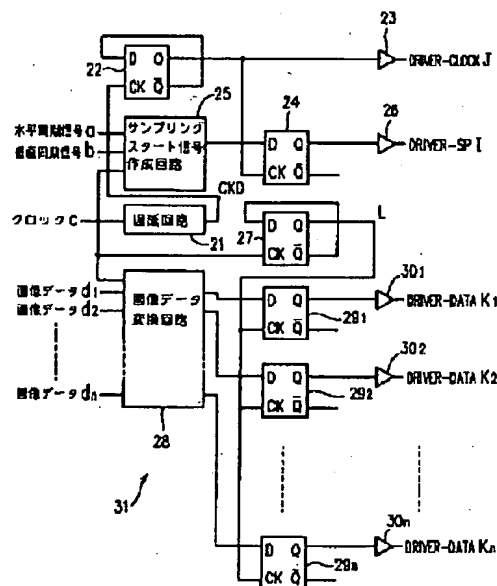
G09G 3/36**G02F 1/133**(21) Application number: **06101217**(22) Date of filing: **16.05.94**(71) Applicant: **SHARP CORP**(72) Inventor: **KAWANISHI JUNJI
FUJIMOTO NAGAKAZU
UEHIRA SHIGEYUKI**(54) **LIQUID CRYSTAL DISPLAY DRIVING DEVICE**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To make it possible to make adjustment to a correct image data sampling timing.

CONSTITUTION: A sampling start signal I to a source driver for sampling image data signals K1 to Kn are outputted to the source driver by synchronizing the signal with a sampling clock signal J to the source driver. The image data signals K1 to Kn are outputted to the source driver by synchronizing these signals with the data clutch lock signal L which is of the same period as the period of the sampling clock signal J and is different in phase therefrom. The phases of such sampling clock signal J and data latch clock signal L are varied by a delay circuit 21. Then, the sampling timing is adjustable to the correct sampling time having a margin in data set up time tDSU and data hold time tDH even if there is no margin in the data set up time tDSU and data hold time tDH and even if a source driver attains the state having a difficulty in sampling the data at the normal timing by a fluctuation in source voltage, fluctuation in ambient temp. and variation of parts.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7-311561

(43) 公開日 平成7年(1995)11月28日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 9 G 3/36

G 0 2 F 1/133 5 0 5

審査請求 未請求 請求項の数 2

O L

(全 6 頁)

(21) 出願番号 特願平6-101217
 (22) 出願日 平成6年(1994)5月16日

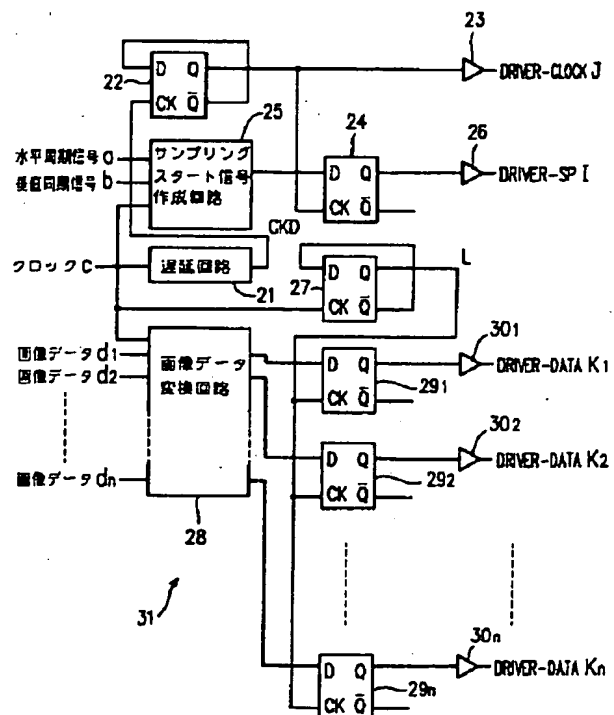
(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (72) 発明者 川西 純次
 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
 (72) 発明者 藤本 長和
 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
 (72) 発明者 植平 茂行
 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
 (74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 液晶表示駆動装置

(57) 【要約】

【目的】 正しい画像データサンプリングタイミングに調整する。

【構成】 画像データ信号 $K1 \sim Kn$ をサンプリングするソースドライバへのサンプリングスタート信号 I をソースドライバへのサンプリングクロック信号 J に同期させ、また、画像データ信号 $K1 \sim Kn$ をサンプリングクロック信号 J と同一周期で位相が異なるデータラッチクロック信号 L に同期させてソースドライバに出力し、これらサンプリングクロック信号 J とデータラッチクロック信号 L の位相を遅延回路 21 で可変するので、データセットアップタイム t_{DSU} およびデータホールドタイム t_{DH} に余裕がなく、電源電圧の変動・周囲温度の変動・部品のばらつきなどにより、ソースドライバが正規のタイミングでデータをサンプリングすることが困難な状態になっても、データセットアップタイム t_{DSU} およびデータホールドタイム t_{DH} に余裕がある正しいサンプリングタイミングに調整できる。



1

【特許請求の範囲】

【請求項1】 サンプリグスタート信号が入力されたタイミングから画像データ信号を第1クロック信号によって示されるタイミングによってサンプリグし、このサンプリグされたデータに基づいた信号を出力して各絵素電極に供給する列電極駆動部を有する液晶表示駆動装置において、

該画像データ信号をサンプリグする列電極駆動部への該サンプリグスタート信号を該列電極駆動部への該第1クロック信号に同期させる第1同期部と、該画像データ信号を該第1クロック信号と同一周期で位相が異なる第2クロック信号に同期させる第2同期部と、該第1クロック信号と第2クロック信号の位相を変化させる位相可変部とを備えた液晶表示駆動装置。

【請求項2】 前記位相可変部は、前記サンプリグにおいて、データセットアップタイムとデータホールドタイムが充分に取れるサンプリグタイミングになるように、前記第1クロック信号および第2クロック信号のうちいずれかを遅延させる遅延回路で構成された請求項1記載の液晶表示駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、列電極駆動回路に入力される画像データ信号、クロック信号およびサンプリグスタート信号を作成する画像データ作成回路を有する液晶表示駆動装置に関する。

【0002】

【従来の技術】図3は従来のアクティブマトリクス型液晶表示装置の駆動回路の一例を示すブロック図である。図3において、水平同期信号a、垂直同期信号b、クロックc、R、G、B画像データdおよびモード切り換え信号eが入力される画像データ作成回路としてのコントロール信号作成IC（以下コントロールICという）1は行電極駆動回路ドライバIC（以下ゲートドライバという）2と列電極駆動回路ドライバIC（以下ソースドライバという）3に接続されている。このゲートドライバ2には、コントロールIC1から行電極駆動回路用スタート信号f、行電極駆動回路用クロック信号gおよび行電極駆動回路モード設定信号hが入力されている。また、ソースドライバ3には、コントロールIC1から列電極駆動回路用サンプリグスタート信号（DRIVER-SP）i、列電極駆動回路用サンプリグクロック信号（DRIVER-CLOCK）j、列電極駆動回路用画像データ信号（DRIVER-DATA）kおよび列電極駆動回路モード設定信号であるソースドライバモード設定信号mが入力されている。また、コントロールIC1は行電極駆動用電源4および列電極駆動用電源5に接続され、行電極駆動用電源4および列電極駆動用電源5に電源制御信号nを出力する。これらコントロールIC1、行電極駆動用電源4および列電極駆動用電源5

2

には電源6が接続され、行電極駆動用電源4はゲートドライバ2に接続され、列電極駆動用電源5はソースドライバ3に接続されており、ゲートドライバ2およびソースドライバ3にそれぞれ電源供給される。このソースドライバ3への電源供給は階調電圧として供給される。

【0003】図4は図3のコントロールIC1の一例を示すブロック図である。図4において、クロックcはサンプリグクロック信号作成回路11と、水平同期信号aおよび垂直同期信号bが入力されるサンプリグスタート信号作成回路12と、画像データd1～dnが入力される画像データ変換回路13とに入力されている。このサンプリグクロック信号作成回路11の出力端はバッファ14に接続されるとともに、Dフリップフロップ15、16₁～16_nのクロック端子ckに接続されている。また、サンプリグスタート信号作成回路12の出力端はDフリップフロップ15のデータ端子Dに接続され、画像データ変換回路13の各出力端はDフリップフロップ16₁～16_nのデータ端子Dにそれぞれ接続されている。このDフリップフロップ15の出力端子Qはバッファ17に接続され、Dフリップフロップ16₁～16_nの各出力端子Qはそれぞれバッファ18₁～18_nにそれぞれ接続されている。バッファ14からはサンプリグクロック信号（DRIVER-CLOCK）jが出力され、バッファ17からはサンプリグスタート信号（DRIVER-SP）iが出力され、さらに、バッファ18₁～18_nからはそれぞれ画像データ信号（DRIVER-DATA）k1～knがそれぞれ出力される。

【0004】上記構成により、通常、これらの出力信号は同じクロック信号を基準にして作成され、ソースドライバ3を制御するサンプリグスタート信号iおよび画像データ信号k1～knは、ソースドライバ3へのサンプリグクロック信号jを基準として位相が合わされて出力されている。ソースドライバ3は、サンプリグスタート信号iが入力されたタイミングからサンプリグクロック信号jによって画像データ信号kをサンプリグし、このサンプリグされたそれぞれのデータに応じた電圧を液晶パネルに出力して各絵素電極に供給する。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来のコントロールIC1の構成では、以下に示すような問題があった。

【0006】即ち、サンプリグに際して、コントロールIC1から出力されるサンプリグクロック信号j、サンプリグスタート信号iおよび画像データ信号kにおいて十分なデータセットアップタイム（ t_{DSU} ）とデータホールドタイム（ t_{DH} ）が必要となるが、画像の高詳細化に伴いサンプリグクロック信号jの周波数が早くなり、十分なデータセットアップタイム（ t_{DSU} ）およびデータホールドタイム（ t_{DH} ）を取ることが困難になっている。

【0007】しかも、不要輻射の対策としてクロックcまたは画像データ信号dなどの周波数が高い信号にEMIフィルタを入れるなどして信号波形をなまらせることが、タイミング設計が終わった後で必要となることもある。このように、EMIフィルタを入れると、信号の位相が遅れる。この結果、コントロールIC1からは最適なタイミングで出力を行う設計であったにもかかわらず、EMIフィルタの存在により位相が変わった分だけデータセットアップタイム(t_{DSU})およびデータホールドタイム(t_{DH})が変わってしまう。また、EMIフィルタ自体のばらつきもありデータセットアップタイム(t_{DSU})およびデータホールドタイム(t_{DH})にばらつきが生じる。この様子を図5に示している。

【0008】図5において、波形k'は、ソースドライバ3に入力される直前の画像データ信号である。これと、サンプリングを行うのに最適なタイミングの画像データ信号kの波形とを比較すると、波形k'はなまり δt の時間だけ位相が遅れている。このため、データセットアップタイム(t_{DSU})がなまり δt の時間だけ少なくなり、なまり δt の大きさによっては正しいサンプリングができなくなる。

【0009】このような事態が生じると、データセットアップタイム(t_{DSU})およびデータホールドタイム(t_{DH})の余裕がなくなり、このために、電源電圧の変動・周囲温度の変動・ソースドライバ3およびコントロールIC1の閾値電圧など、部品のばらつきにより、ソースドライバ3が正規のタイミングでデータをサンプリングすることができなくなって、正常に表示されなかったり、表示品位を著しく悪化させたりする。

【0010】本発明は、上記従来の問題を解決するもので、データセットアップタイムおよびデータホールドタイムに余裕がないために、電源電圧の変動・周囲温度の変動・部品のばらつきなどにより、ソースドライバが正規のタイミングでデータをサンプリングすることが困難な状態になっても、正しい画像データサンプリングタイミングに調整することができる液晶表示駆動装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の液晶表示駆動装置は、サンプリングスタート信号が入力されたタイミングから画像データ信号を第1クロック信号によって示されるタイミングによってサンプリングし、このサンプリングされたデータに基づいた信号を出力して各絵素電極に供給する列電極駆動部を有する液晶表示駆動装置において、該画像データ信号をサンプリングする列電極駆動部への該サンプリングスタート信号を該列電極駆動部への該第1クロック信号に同期させる第1同期部と、該画像データ信号を該第1クロック信号と同一周期で位相が異なる第2クロック信号に同期させる第2同期部と、該第1クロック信号と第2クロック信号の位相を可変させ

る位相可変部とを備えたものであり、そのことにより上記目的が達成される。また、好ましくは、本発明の液晶表示駆動装置における位相可変部は、サンプリングにおいて、データセットアップタイムとデータホールドタイムが充分に取れるサンプリングタイミングになるように、第1クロック信号および第2クロック信号のうちのいずれかを遅延させる遅延回路で構成する。

【0012】

【作用】上記構成により、画像データ信号をサンプリングする列電極駆動部へのサンプリングスタート信号を列電極駆動部への第1クロック信号に第1同期部で同期させて列電極駆動部に出力し、また、画像データ信号を第1クロック信号と同一周期で位相が異なる第2クロック信号に第2同期部で同期させて列電極駆動部に出力し、これら第1クロック信号と第2クロック信号の位相を位相可変部で可変するので、データセットアップタイムおよびデータホールドタイムに余裕がなく、電源電圧の変動・周囲温度の変動・部品のばらつきなどにより、列電極駆動部が正規のタイミングでデータをサンプリングすることが困難な状態になっても、データセットアップタイムおよびデータホールドタイムに余裕がある正しいタイミングに第1クロック信号と第2クロック信号の位相を可変して調整することが可能となる。

【0013】また、位相可変部を、サンプリングにおいて、データセットアップタイムとデータホールドタイムが充分に取れるサンプリングタイミングになるように、第1クロック信号および第2クロック信号のうちのいずれかを遅延させる遅延回路で構成すれば、この遅延回路によってサンプリングスタート信号および第1クロック信号の位相と画像データ信号の位相を変えることができ、これによって、簡単な構成でデータセットアップタイムとデータホールドタイムが十分な最適な状態のサンプリングタイミングにすることが可能となる。

【0014】

【実施例】以下、本発明の実施例について説明する。

【0015】図1は本発明の一実施例の液晶表示駆動装置におけるコントロールICの構成を示すブロック図であり、列電極駆動回路用制御信号および列電極駆動回路用画像データ作成回路における回路構成を示している。図1において、クロックcが入力される遅延回路21はDフリップフロップ22のクロック端子に接続され、このDフリップフロップ22の出力端子Qバーがそのデータ端子Dに接続され、その出力端子Qはバッファ23に接続されると共に、Dフリップフロップ24のクロック端子ckに接続されている。水平同期信号aおよび垂直同期信号b、クロックcが入力されるサンプリングスタート信号作成回路25はDフリップフロップ24のデータ端子Dに接続され、Dフリップフロップ24の出力端子Qはバッファ26に接続されている。このバッファ26からはサンプリングクロック信号(DRIVER-C

LOCK) Jが出力され、バッファ26からはサンプリングスタート信号(DRIVER-SP) Iが出力される。

【0016】また、クロックcはDフリップフロップ27および画像データ変換回路28に入力されている。画像データd1~dnが入力される画像データ変換回路28はDフリップフロップ29₁~29_nにそれぞれ接続されている。各Dフリップフロップ29₁~29_nの出力端子Qはそれぞれバッファ30₁~30_nにそれぞれ接続されている。Dフリップフロップ27の出力端子Qバーはそのデータ端子Dに接続され、Dフリップフロップ27の出力端子Qは各Dフリップフロップ29₁~29_nのクロック端子ckにそれぞれ接続されている。これらバッファ30₁~30_nからそれぞれ画像データ信号(DRIVER-DATA) K1~Knがそれぞれ出力されている。以上によりコントロールIC31が構成される。このコントロールIC31は、液晶パネルの列電極が液晶パネルの上下に交互に引き出されており、この液晶パネルの上下から駆動を行う場合のソースドライバにサンプリングクロック信号J、サンプリングスタート信号Iおよび画像データ信号K1~Knを出力して制御するものである。

【0017】このように、ソースドライバに供給される画像データ信号Kの位相を合わせるために使用する信号線と、ソースドライバに供給されるサンプリングスタート信号Iの位相を合わせるために使用する信号線とが異なり、また、ソースドライバに供給される画像データ信号Kの位相を合わせるために使用するデータラッチクロック(DATA LATCH-CLOCK) Lの位相と、ソースドライバに供給されるサンプリングスタート信号Iの位相を合わせるために使用するサンプリングクロック信号Jの位相を可変する位相可変回路としての遅延回路21を設けている。この遅延回路21は、サンプリングにおいて、データセットアップタイム(t_{DSU})とデータホールドタイム(t_{DH})が充分に取れるサンプリングタイミングになるように、サンプリングクロック信号Jを遅延させる。

【0018】上記構成により、コントロールIC31に入力されたクロックCは、遅延回路21を通った後、ソースドライバが液晶パネルの上下から駆動を行うためにDフリップフロップ22によってその周期が2倍に分周されたサンプリングクロック信号Jを作成する。また、遅延回路21を通らないクロックcは、同様にDフリップフロップ27によって周期が2倍にされてデータラッチクロック(DATA LATCH-CLOCK) Lを作成する。

【0019】また、サンプリングスタート信号作成回路25は、クロックc、水平同期信号a、垂直同期信号b、その他のモード設定信号からサンプリングスタート信号I、その他のソースドライバ制御設定信号を作成す

る。このサンプリングスタート信号作成回路25から出力されたサンプリングスタート信号Iは、サンプリングクロック信号Jによって位相をそろえられた後、ソースドライバへ出力される。また、画像データ変換回路28は、コントロールIC31に入力された画像データd1~dnをパネル上下のソースドライバに振り分ける。この画像データ変換回路28から出力された画像データ信号K1~Knは、データラッチクロックLによって位相をそろえられた後、ソースドライバへ出力される。

10 【0020】このように、コントロールIC31に入力されたクロックcは、遅延回路21を通ったものと通っていないものに分けられる。通ったクロックCKDは、ソースドライバクロック作成回路でサンプリングクロック信号Jとなる。別途作成されたサンプリングスタート信号IはコントロールIC31から出力される直前に、サンプリングクロック信号Jによってラッチをかけられてサンプリングクロック信号Jと同期したものとして出力される。

20 【0021】一方、クロックcは、遅延回路21を通ったクロックCKDが入力されたDフリップフロップ22とは異なるが回路構成は同一の回路であるDフリップフロップ27に入力され、サンプリングクロック信号Jと周期は一致するが遅延回路21の遅延時間分だけ位相が異なるデータラッチクロックLとなる。コントロールIC31に入力された画像データd1~dnは、ソースドライバに入力されるのに適した画像データ信号K1~Knに画像データ変換回路28で変換された後、上記データラッチクロックLによってラッチがかけられて出力される。

30 【0022】以上のようにして信号を作成するコントロールIC31によれば、従来のように δt だけ位相が遅れるようなことがあった場合にも、図2の画像データ信号Kのように、サンプリングスタート信号Iおよびサンプリングクロック信号Jの位相と画像データ信号K1~Knの位相とを遅延回路21によって変えることができ、これによって δt だけ位相を遅らせたサンプリングクロック信号Jおよびサンプリングスタート信号Iを作成して、データセットアップタイム(t_{DSU})およびデータホールドタイム(t_{DH})が十分な最適の正しいタイミングでサンプリングができるようにソースドライバに供給することができる。

40 【0023】なお、本実施例では、適切なサンプリングタイミングになるようにサンプリングクロック信号Jの方を遅延させたが、データラッチクロックLの方を遅延させるようにしてもよい。

【0024】

【発明の効果】以上のように本発明によれば、ソースドライバへ入力されるクロック信号およびスタート信号と画像データ信号とのタイミングを可変して調整することにより、データセットアップタイムおよびデータホール

7

ドタイムが十分な最適なサンプリングタイミングにすることができるため、高詳細化に伴う高速サンプリング時や不要輻射対策に伴うなまった波形によるソースドライバの駆動の際にも、サンプリングミスによる表示品位の劣化を解消することができる。

【図面の簡単な説明】

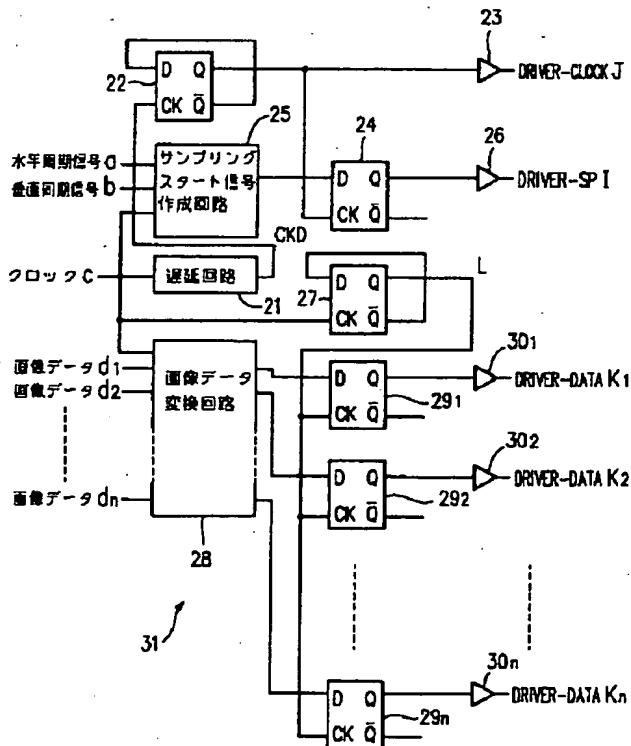
【図 1】 本発明の一実施例の液晶表示駆動装置におけるコントロール IC の構成を示すブロック図である。

【図 2】 図 1 のコントロール IC から出力される信号タイミング図である。

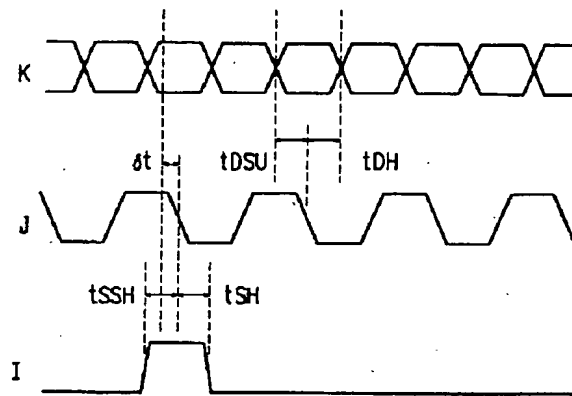
【図 3】 従来のアクティブマトリクス型液晶表示装置の駆動回路の一例を示すブロック図である。

【図 4】 図 3 のコントロール IC 1 の一例を示すブロック図である。

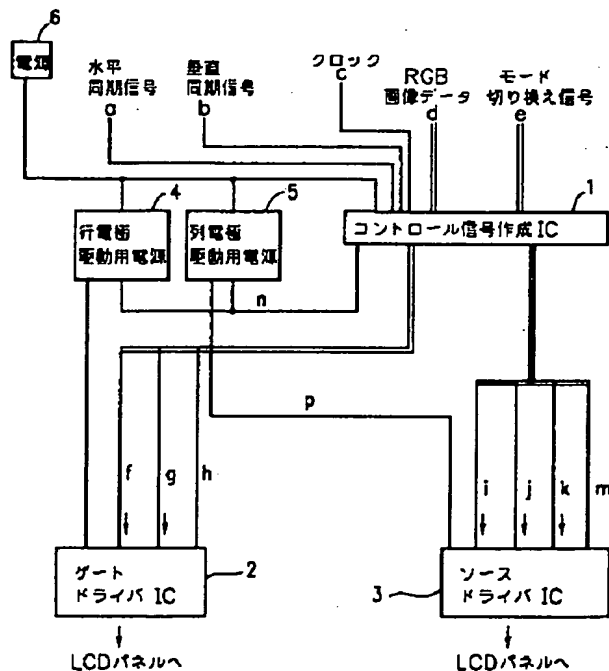
【図 1】



【図 2】



【図 3】



8

【図 5】 図 4 のコントロール IC から出力される信号タイミング図である。

【符号の説明】

3 ソースドライバ IC (列電極駆動回路)

21 遅延回路

22, 24, 27, 29₁ ~ 29_n D フリップフロップ

25 サンプリングスタート信号作成回路

28 画像データ変換回路

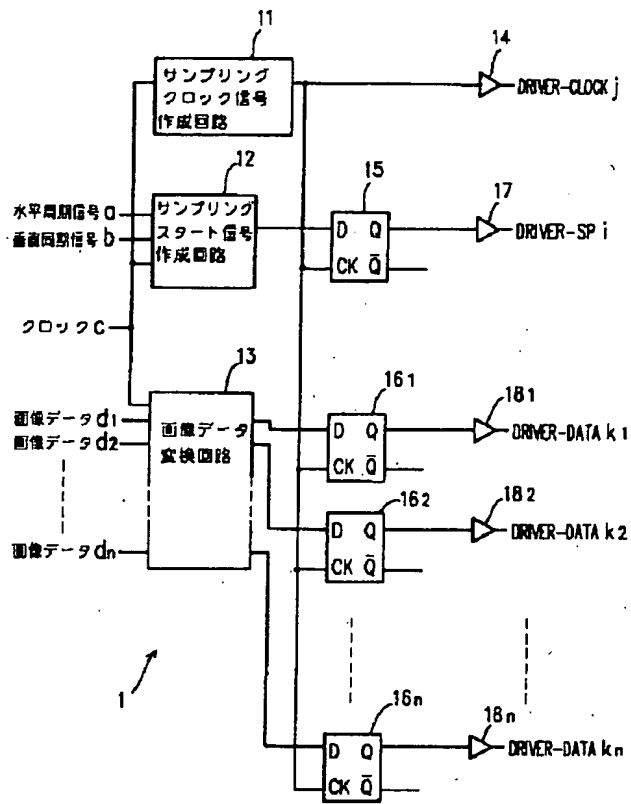
10 31 コントロール IC

I サンプリングスタート信号

J サンプリングクロック信号

K1 ~ Kn 画像データ信号

【図4】



【図5】

